

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP6013605

Publication date: 1994-01-21

Inventor: KURODA HIDEAKI

Applicant: SONY CORP

Classification:

- International: H01L21/28; H01L29/423; H01L29/43; H01L29/49; H01L29/78;
H01L21/02; H01L29/40; H01L29/66; (IPC1-7): H01L29/784;
H01L21/28; H01L29/62

- European:

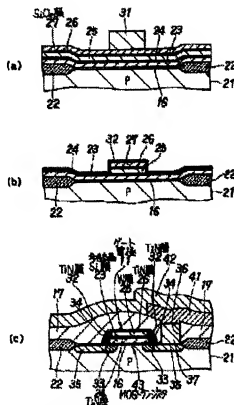
Application number: JP19920193036 19920626

Priority number(s): JP19920193036 19920626

Report a data error here

Abstract of JP6013605

PURPOSE: To provide a semiconductor device in which the boundary between a gate electrode and gate insulating film is stable and in which the gate electrode is thermally stable and an interlayer insulating film is hardly stripped off the gate electrode though the gate electrode has a small resistance, and to provide a manufacturing method of that semiconductor device. **CONSTITUTION:** A gate electrode 11 consists of a polycrystalline Si film 23 and a W film 25 formed on the polycrystalline Si film 23 so as to be entirely covered with TiN films 24, 26 and 32. Since the polycrystalline Si film 23 is in contact with an SiO₂ film 16 as a gate insulating film, the boundary between the gate electrode 11 and the SiO₂ film 16 is stable. Further, since the W film 25 is entirely covered with the TiN films 24, 26 and 32, the gate electrode 11 is thermally stable and an interlayer insulating film 17 and a LDD spacer 34 are hardly stripped off the gate electrode 11, though the gate electrode 11 has a small resistance due to the W film 25.



Data supplied from the esp@cenet database - Worldwide

Family list

2 family member for: **JP6013605**

Derived from 1 application

[Back to JP6013605](#)

1 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Inventor: KURODA HIDEAKI

Applicant: SONY CORP

EC:

IPC: H01L21/28; H01L29/423; H01L29/43 (+8)

Publication Info: JP3189399B2 B2 - 2001-07-16

JP6013605 A - 1994-01-21

-----+-----
Data supplied from the esp@cenet database - Worldwide

特開平6-13605

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/28	3 0 1 D	9055-4M		
29/62	G	9055-4M		
		7377-4M		
			H 0 1 L 29/ 78	3 0 1 G

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-193036

(22)出願日 平成4年(1992)6月26日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 黒田 英明

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

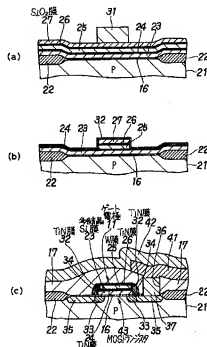
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 ゲート電極とゲート絶縁膜との界面が安定であり、しかもゲート電極の電気抵抗が低いにも拘らず、ゲート電極が熱的に安定で層間絶縁膜がゲート電極から剥離しにくい半導体装置及びその製造方法を提供する。

【構成】 多結晶Si膜23と全面をTin膜24、26、32に被覆された状態で多結晶Si膜23上に積層されているW膜25とから成るゲート電極11を有している。ゲート絶縁膜であるSiO₂膜16には多結晶Si膜23が接しているのでゲート電極11とSiO₂膜16との界面が安定であり、しかもW膜25のためにゲート電極11の電気抵抗が低いにも拘らず、W膜25の全面をTin膜24、26、32が被覆しているで、ゲート電極11が熱的に安定で層間絶縁膜17やLDDスベサ34がゲート電極11から剥離しにくい。



【特許請求の範囲】

【請求項1】 半導体膜と全面を高融点金属窒化膜に被覆された状態で前記半導体膜上に積層されている高融点金属膜とから成るゲート電極を有する半導体装置。

【請求項2】 半導体膜と第1の高融点金属窒化膜と高融点金属膜と第2の高融点金属窒化膜と被覆膜とを順次に堆積させる工程と、

前記被覆膜と前記第2の高融点金属窒化膜と前記高融点金属膜とをゲート電極のパターンに加工する工程と、この加工の後に第3の高融点金属窒化膜を全面に堆積させる工程と、

前記第3及び第1の高融点金属窒化膜と前記被覆膜とのエッチング特性が互いに異なる条件で前記第3及び第1の高融点金属窒化膜を異方性エッチングして、前記第3の高融点金属窒化膜と前記パターンの側面のみを残すと共に前記第1の高融点金属窒化膜を前記高融点金属膜の下面にのみ残す工程と、

前記異方性エッチングの後に前記パターンをマスクにして前記半導体膜をパターンニングする工程とを有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願の発明は、ゲート電極を有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 半導体装置におけるゲート電極の材料としては、W、Mo、Ti等の高融点金属のシリサイド膜を多結晶Si膜上に積層させた高融点金属シリサイドや、不純物をドーピングした多結晶Siが、一般的に用いられている。しかし、集積度が高くなってゲート電極の線幅が細くなると、このゲート電極の電気抵抗が高くなるので、半導体装置の高速動作のために、電気抵抗がより低いゲート電極の材料が要求されている。

【0003】 そこで、図2に示す様に、ゲート電極11をW膜12で形成した第1従来例や、図3に示す様に、不純物をドーピングした多結晶Si膜13とTiN膜14とW膜15とを順次に積層させた三層膜でゲート電極11を形成した第2従来例等が提案されている。

【0004】

【発明が解決しようとする課題】 ところが、図2に示した第1従来例では、W膜12とゲート酸化膜であるSiO₂膜16との密着性が悪く、W膜12の耐酸化性も低く、SiO₂膜16の膜質も劣化する。また、図3に示した第2従来例では、W膜15が層間絶縁膜17と接しているため、今度はゲート電極11と層間絶縁膜17との密着性が悪く、ゲート電極11が熱的に不安定で、熱処理を受けると層間絶縁膜17がゲート電極11から剥離し易い。従って、図2、3に示した第1及び第2従来例の何れにおいても、信頼性が低かった。

【0005】

【課題を解決するための手段】 請求項1の半導体装置は、半導体膜23と全面を高融点金属窒化膜24、26、32に被覆された状態で前記半導体膜23上に積層されている高融点金属膜25とから成るゲート電極11を有している。

【0006】 請求項2の半導体装置の製造方法は、半導体膜23と第1の高融点金属窒化膜24と高融点金属膜25と第2の高融点金属窒化膜26と被覆膜27とを順次に堆積させる工程と、前記被覆膜27と前記第2の高融点金属窒化膜26と前記高融点金属膜25とをゲート電極11のパターンに加工する工程と、この加工の後に第3の高融点金属窒化膜32を全面に堆積させる工程と、前記第3及び第1の高融点金属窒化膜32、24と前記被覆膜27とのエッチング特性が互いに異なる条件で前記第3及び第1の高融点金属窒化膜32、24を異方性エッチングして、前記第3の高融点金属窒化膜32を前記パターンの側面にのみ残すと共に前記第1の高融点金属窒化膜24を前記高融点金属膜25の下面にのみ残す工程と、前記異方性エッチングの後に前記パターンをマスクにして前記半導体膜23をパターンニングする工程とを有している。

【0007】

【作用】 請求項1の半導体装置では、ゲート電極11のうちの下層側の半導体膜23がゲート絶縁膜16と接している側でゲート電極11とゲート絶縁膜16との界面が安定であり、しかもゲート電極11のうちの上層側が高融点金属膜25であるのでゲート電極11の電気抵抗が低いにも拘らず、高融点金属膜25の全面を高融点金属窒化膜24、26、32が被覆しているで、ゲート電極11が熱的に安定で層間絶縁膜17、34がゲート電極11から剥離しにくい。

【0008】 請求項2の半導体装置の製造方法では、第1の高融点金属窒化膜24で高融点金属膜25の下面を被覆し、第2の高融点金属窒化膜26で高融点金属膜25の上面を被覆し、第3の高融点金属窒化膜32で高融点金属膜25の両側面を被覆することができる。しかも、第3の高融点金属窒化膜32を異方性エッチングする際に、第2の高融点金属窒化膜26の上面を被覆膜27で被覆しているため、第2の高融点金属窒化膜26も同時に除去されるのを防止している。

【0009】

【実施例】 以下、本願の発明の一実施例を、図1を参照しながら説明する。なお、図2、3に示した第1及び第2従来例と同一の構成部分には、同一の符号を付している。

【0010】 本実施例では、図1(a)に示す様に、P型のSi基板21の素子分離領域の表面に、LOCOS法等で厚いSiO₂膜22をまず形成する。そして、素子活性領域の表面にゲート酸化膜としてのSiO₂膜16を形成し、続けて、膜厚が数十〜数百nmの多結晶Si

i膜23を減圧CVD法で堆積させる。堆積後の多結晶Si膜23には不純物をドーピングするが、その一つの方法として、 POCl_3 雰囲気中で高温熱処理を施すことによって、 Phos を 10^{19}cm^{-3} 以上の濃度にドーピングする方法がある。

【0011】また、後述する様に多結晶Si膜23上にTiN膜24を堆積させた後、このTiN膜24を通して、Bまたは Phos をやはり 10^{19}cm^{-3} 以上の濃度になる様にイオン注入法でドーピングしてもよい。更にまた、多結晶Si膜23を堆積させた後、多結晶Si膜23の表面に薄い SiO_2 膜（図示せず）を形成し、この SiO_2 膜を通して不純物をイオン注入し、熱処理を施した後に、 SiO_2 膜を除去してもよい。

【0012】多結晶Si膜23に不純物をドーピングした後、膜厚が数〜数十nmのTiN膜24をスパッタ法かまたはCVD法で多結晶Si膜23上に堆積させる。その後、膜厚が数〜数百nmのW膜25をスパッタ法かまたはCVD法でTiN膜24上に堆積させ、更に膜厚が数〜数十nmのTiN膜26をTiN膜24と同様の方法でW膜25上に堆積させる。なお、W膜25の代わりに、Ti膜やMo膜等を用いてもよい。

【0013】そして、膜厚が数〜数百nmの SiO_2 膜27をCVD法でTiN膜26上に堆積させた後、レジスト31をリソグラフィ法でゲート電極11のパターンに加工する。次に、このレジスト31をマスクにして、図1(b)に示す様に、 SiO_2 膜27とTiN膜26とW膜25とを連続的に異方性エッチングし、レジスト31を除去した後、膜厚が数〜数十nmのTiN膜32をスパッタ法かまたはCVD法で再び全面に堆積させる。なお、TiN膜26、32の代わりに、二層膜であるTiN/Ti膜を用いてもよい。

【0014】次に、TiN膜32の全面を異方性エッチングして、図1(c)に示す様に、W膜25の側面のみTiN膜32を側壁に残す。そして、 SiO_2 膜27をマスクにして、TiN膜24と多結晶Si膜23とを連続的に異方性エッチングして、全面をTiN膜24、26、32に被覆されたW膜25と多結晶Si膜23とが組み合わされたゲート電極11を完成させる。

【0015】その後、ゲート電極11と SiO_2 膜22とをマスクにして、 Phos またはAsをSi基板21にイオン注入して、濃度が $10^{17}\sim 10^{18}\text{cm}^{-3}$ であるN型の拡散層33を形成する。そして、 SiO_2 膜または多結晶Si膜で、ゲート電極11の側面にLDDスペーサ34を形成する。更に、ゲート電極11とLDDスペーサ34と SiO_2 膜22とをマスクにして、Ph

osまたはAsをSi基板21にイオン注入して、濃度が $10^{19}\sim 10^{20}\text{cm}^{-3}$ であるN型の拡散層35を形成する。

【0016】その後、不純物を含まない SiO_2 膜、PSG膜、BPSG膜、SiN膜またはこれらを組み合わせた膜で層間絶縁膜17を形成し、一方の拡散層35に達するコンタクト孔36を層間絶縁膜17等に開孔する。そして、多結晶Si膜、W膜、Ti膜、TiN膜またはこれらを組み合わせた膜でコンタクト孔36を埋め込んで、プラグ37を形成する。更に、Ti膜、TiN膜、AlSi膜、AlSiCu膜等の複合膜でAl配線41を形成し、表面保護膜42を堆積させて、LDD構造のMOSトランジスタ43を完成させる。

【0017】以上の様にして製造したMOSトランジスタ43では、層間絶縁膜17及びLDDスペーサ34とW膜25との間にTiN膜26、32またはTiN/Ti膜が介在しているため、ゲート電極11が熱的に安定で、層間絶縁膜17及びLDDスペーサ34がゲート電極11から剥離しにくい。

【0018】【発明の効果】請求項1の半導体装置では、ゲート電極とゲート絶縁膜との界面が安定であり、しかもゲート電極の電気抵抗が低いにも拘らず、ゲート電極が熱的に安定で層間絶縁膜がゲート電極から剥離しにくいので、性能及び信頼性の何れもが優れている。

【0019】請求項2の半導体装置の製造方法では、高融点金属膜の全面を高融点金属窒化膜で被覆することができ、しかも第3の高融点金属窒化膜を異方性エッチングする際に第2の高融点金属窒化膜も同時に除去されるのを防止しているため、請求項1の半導体装置を安定的に製造することができる。

【図面の簡単な説明】

【図1】本願の発明の一実施例を工程順に示す側断面図である。

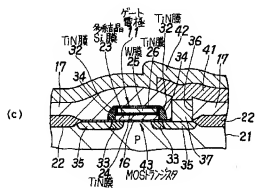
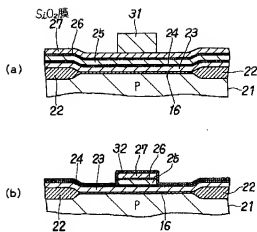
【図2】本願の発明の第1従来例の側断面図である。

【図3】本願の発明の第2従来例の側断面図である。

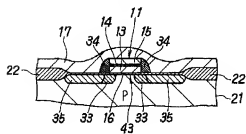
【符号の説明】

- 11 ゲート電極
- 23 多結晶Si膜
- 24 TiN膜
- 25 W膜
- 26 TiN膜
- 27 SiO_2 膜
- 32 TiN膜

【图 1】



【圖3】



【圖 2】

